

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-313936

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 08-162580

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.06.1996

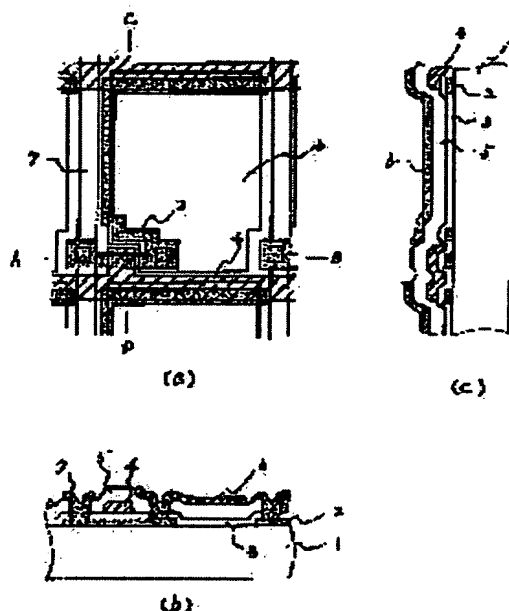
(72)Inventor : MATSUEDA YOJIRO

## (54) PRODUCTION OF ACTIVE MATRIX PANEL

## (57)Abstract:

**PURPOSE:** To suppress the variation in picture element within a screen by forming drain regions and pixel electrodes electrically connected to first electrodes.

**CONSTITUTION:** A thin film 2 of polysilicon or amorphous silicon, is deposited on an insulating substrate 1 and is patterned. This thin film 2 is made into the channel parts and source and drain electrodes of TFTs and electrodes for building in capacitors. Next, gate insulating films 3 are formed and scanning lines 4 in common use as gate electrodes are formed thereon. Polysilicon and high melting metals are used in the case of the polysilicon TFTs as materials and ordinary metals, transparent conductive films, etc., are used in the case of the amorphous silicon TFTs. The substrate formed by depositing interlayer insulating films 5 thereon and opening contact holes therein, then forming pixel electrodes 6 and data lines 7 is an active matrix substrate. Another substrate having a canon electrode is disposed to face this substrate via a space of several  $\mu\text{m}$  with this substrate and liquid crystals are enclosed into this space.



## LEGAL STATUS

[Date of request for examination]

22.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2626650

[Date of registration] 11.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-313936

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. <sup>*</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 Z
21/336				

審査請求 有 発明の数1 OL (全7頁)

(21) 出願番号 特願平8-162580  
 (62) 分割の表示 特願平7-232707の分割  
 (22) 出願日 昭和61年(1986)9月12日

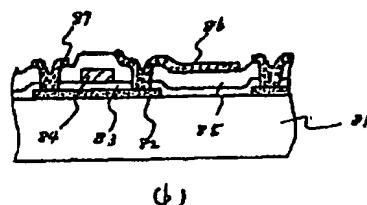
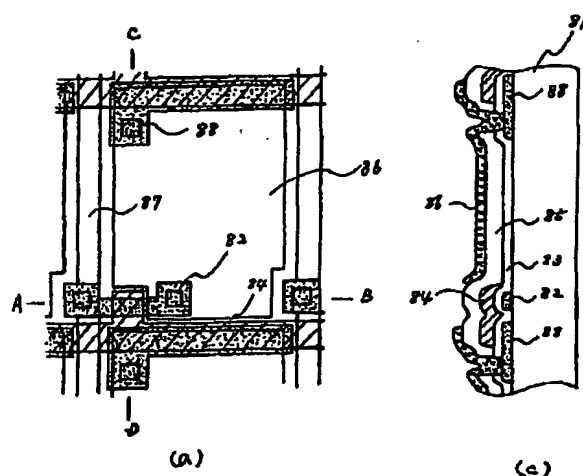
(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (72) 発明者 松枝 洋二郎  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 (74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 アクティブマトリクスパネルの製造方法

(57) 【要約】

【課題】 走査線の波形をなまらせることなく大きな容量を形成し、画面内での絵素のばらつきを押さえる。

【解決手段】 絶縁基板上に設けられた、走査線群、データ線群、及び前記走査線とデータ線の交点に設けられた薄膜トランジスタによって画素電極を駆動し、前記画素電極と対向電極との間の電界で液晶を駆動してなるアクティブマトリクスパネルにおいて、前記画素電極の前段の走査線が絶縁膜を介して前記画素電極との重なることにより容量が形成されてなり、前記容量の導電型と前記薄膜トランジスタの導電型とが異なることを特徴とする。



【特許請求の範囲】

【請求項1】 絶縁基板上に設けられた、走査線群、データ線群、及び前記走査線とデータ線の交点に設けられた薄膜トランジスタ（以下、TFTと略記）アレイによって画素電極を駆動し、前記画素電極と対向電極との間の電界で液晶を駆動して成るアクティブマトリクスパネルにおいて、前記画素電極の前段の走査線の上部または下部にTFTのチャネル部と同じ導電膜をゲート絶縁膜を介して配置し、前記導電膜が前記画素電極に接続されていることを特徴とするアクティブマトリクスパネル。

【請求項2】 前記導電膜の導電型が前記TFTと同じであることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

【請求項3】 前記データ線と前記画素電極の間のすき間の一部を前記導電膜または走査線の一部を用いて覆うような配置としたことを特徴とする特許請求の範囲第2項記載のアクティブマトリクスパネル。

【請求項4】 前記導電膜の導電型が前記TFTと異なることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクスパネルの構造に関する。

【0002】

【従来の技術】 従来アクティブマトリクスパネルの構造は「日経エレクトロニクス 1984年9月10日号N0351P221~240」に示されるようなものであった。

【0003】 図2はアクティブマトリクスパネルの画素部分の平面図の例である。22はポリシリコンまたはアモルファスシリコンの薄膜でTFTのチャネル部及びソース・ドレイン電極を形成している。

【0004】 24はポリシリコンや金属からなる薄膜でTFTのゲート電極及び走査線を形成している。26は画素電極、27はデータ線である。

【0005】

【発明が解決しようとする課題】 しかし前述の従来技術では以下に述べるような問題点を生じる。まず第1に、液晶に印加される電圧は液晶自身の時定数に依存するため、温度が変化すると液晶の時定数が変化して表示状態も変化するという問題点である。特に高温においては液晶の抵抗が小さくなり時定数も短くなるためコントラスト比が減少する。

【0006】 第2の問題点は、液晶は交流駆動する必要があるため通常はビデオ信号を交流反転して用いるが、この信号の極性の違いによりTFTの書き込み及び保持の状態も異なるため、液晶に印加される電圧が非対称な成分を持ち、フリッカーを生じるというものである。

【0007】 本発明はこれらの問題を解決するものであ

り、その目的とするところは、高温でもコントラスト比が減少することなく、かつフリッカーの少ないアクティブマトリクスパネルの構造を与えるところにある。

【0008】

【課題を解決するための手段】 本発明のアクティブマトリクスパネルは、前段の走査線の上部または下部にTFTのチャネル部と同じ導電膜をゲート絶縁膜を介して配置し、前記導電膜が画素電極に接続されていることを特徴とする。

【0009】

【作用】 本発明の上記の構造によれば、液晶の容量と並列にゲート絶縁膜の容量が付加されることとなり液晶の時定数が長くなるためコントラスト比が大きくなる。また、温度が上昇して液晶の時定数が小さくなってもゲート絶縁膜の容量は変化しないため、コントラスト比の減少を抑えることができる。さらにビデオ信号の極性の違いにより生ずるTFTの書き込み及び保持における非対称な動作の影響を受けにくくなりフリッカーが減少する。

【0010】

【発明の実施の形態】

【実施例1】 図1(a)は本発明の一実施例を示すアクティブマトリクスパネルの平面図であり、同図(b)及び(c)はそれぞれ同図(a)のA-B及びC-Dにおける断面図である。この図を用いて製造工程に従い説明する。まず絶縁基板1上にポリシリコンまたはアモルファスシリコンの薄膜2をデポジットし図のようにパターンニングする。この薄膜はTFTのチャネル部及びソース・ドレイン電極、そして容量を作り込むための電極となる。次にゲート絶縁膜3を形成し、その上にゲート電極も兼ねる走査線4を形成する。その材料としてはポリシリコンTFTの場合にはポリシリコンや高融点金属が、アモルファスシリコンTFTの場合には通常の金属や透明導電膜等が用いられている。この上に層間絶縁膜5をデポジットし、コンタクトホールを開口し、画素電極6及びデータ線7を形成したものがアクティブマトリクス基板である。この基板と数 $\mu\text{m}$ の空間を介して、共通電極を有するもう一つの基板を対向させ、この空間に液晶を封入したものがアクティブマトリクスパネルである。

【0011】 図3は、N型のMOSキャパシタのゲート電圧依存性を示したものである。ゲート電圧 $V_G$ がしきい値電圧 $V_{th}$ を越えると容量は増大し $C_0$ となりしきい値電圧以下では重なり容量 $C_{gs0}$ なる。従って $V_G > V_{th}$ の領域でMOS容量を使うことが望ましいが、本実施例においては図1(c)の前段の走査線4の下に作り込んだMOS容量はTFTと同じ導電型であり、例えばN型の場合にはTFTがOFFしている通常の状態では $V_G < V_{th}$ であるために $C_{gs0}$ のみの容量となる。しかし、ゲート膜の厚さは液晶の封入される空間に対して十分薄いため、単位面積あたりの容量が大きくな

り図1(a)に示すようなパターンの重なり容量の $C_{gs0}$ のみでも、画素電極6によって駆動される液晶の容量の30~50%程度の容量となる。このMOS容量は液晶の容量と並列に付加されるため、見かけ上液晶の時定数が増大し、表示性能が大巾に向上する。これを図4を用いて説明する。この図はアクティブマトリクスパネルの各部の電位を示す図であり、横軸に時刻、縦軸に電位をとってある。周知のように、NTSCのビデオ信号はインターレースされた2つのフィールド、すなわち奇数フィールドと偶数フィールドによって1フレームが構成され1つの画面が完成される。液晶は交流駆動しなくてはならないため、データ線の信号は42のように交流反転させたものを用いる。41は走査線の信号であり、NチャネルのTFTで駆動する場合にはこのようなパルスが必要となる。44及び45はそれぞれ従来例と本発明の実施例における画素電極の電位であり、43は共通電極の電位である。この共通電極と画素電極の間の電位差が液晶に印加される電圧である。時刻 $t_0$ から時刻 $t_3$ までを奇数フィールド、時刻 $t_3$ から $t_6$ までを偶数フィールドとすると、まず奇数フィールドにおいて時刻 $t_1$ においてTFTがONし、画素電極にデータ線の信号が書き込まれ、時刻 $t_2$ においてTFTがOFFするとある時定数で画素電極電位は共通電極電位に向かって放電する。同様に偶数フィールドにおいても、時刻 $t_4$ においてTFTがONし、画素電極にデータ線の信号が書き込まれ、時刻 $t_5$ においてTFTがOFFすると画素電極電位は共通電極電位に向かって放電していく。斜線で示した部分は本実施例において液晶に印加される電圧であり、従来例に比べて時定数が長くなったことにより、より大きな電圧を印加することができることがわかる。このためコントラスト比が増大する。また、MOS容量とTFTのドレイン電極との間の配線部は図1

(a)のようにデータ線と画素電極の間に配置することにより、このすき間からもれる光を遮断する働きもあるため、コントラスト比を増大させるとともに、画像のきれがよくなる。さらに、温度の変化に対して液晶の時定数が多少変動しても、付加したMOS容量は変化しないため図3の斜線部の面積はあまり変動しない。すなわち、広い温度範囲で再現性のよい表示画面を得ることができる。その上、フリッカーも従来例に対して3~5dB下がることが出願人の実験で確かめられた。これは奇数フィールドと偶数フィールドでのTFTの書き込み及び保持における非対称な動作の影響をうけにくくなるためである。

【0012】【実施例2】図5(a)は本発明の実施例2におけるアクティブマトリクスパネルの平面図であり、同図(b)及び(c)はそれぞれ同図(a)のA-B及びC-Dにおける断面図である。このアクティブマトリクスパネルは第1の実施例と全く同じ工程を用いて製造することかできる。61~67はそれぞれ図1の1~

7に対応しており、61は絶縁基板、62はポリシリコンまたはアモルファスシリコンの薄膜、63はゲート絶縁膜、64は走査線、65は層間絶縁膜、66は画素電極、67はデータ線である。透過型の場合は、66の画素電極には透明導電膜を用い、67のデータ線には画素電極と同じ透明導電膜または金属の薄膜を用いる。

【0013】本実施例においては第1の実施例と同じく、前段の走査線64の下にTFTと同じ導電型のMOS容量を作り込んであるため、TFTがOFFしている通常の状態では重なり容量のみが有効である。しかし、本実施例においては、走査線64が図5(a)のようにデータ線と平行につき出した形状となっており、この部分にもMOS容量を作り込むことができるため、第1の実施例の約2倍の容量を付加することができる。したがってより広い温度範囲で、よりコントラスト比が大きくフリッカーの少ない高品質な表示画面を得ることができる。しかも、図5(a)のように画素電極とデータ線のすき間を覆うようにMOS容量を作り込むことにより、このすき間からもれる光を遮断することができ、コントラスト比の増大に寄与する。

【0014】【実施例3】図6(a)は本発明の第3の実施例におけるアクティブマトリクスパネルの平面図であり、同図(b)及び(c)はそれぞれ同図(a)のA-B及びC-Dにおける断面図である。本参考例は第1参考例および本発明の実施例と異なり、TFTと異なる導電型のMOS容量を作り込む。例えば、CMOS型のドライバーを内蔵したアクティブマトリクスパネルなどには有効である。

【0015】図6を用いて本参考例のアクティブマトリクスパネルの構造を説明する。まず絶縁基板81上にポリシリコンまたはアモルファスシリコン薄膜82及び88をデポジットし図のようにパターンニングする。82はTFTのチャネル部及びソースドレイン電極となり、88はMOS容量を作り込むための電極となる。次にゲート絶縁膜83を形成し、その上にゲート電極を兼ねる走査線84を形成する。

【0016】その後選択的にイオン注入を行ない、82をNチャネルTFTとし、88をPチャネルのMOSキャパシタとする。以後の工程は実施例1と同じで、85は層間絶縁膜、86は画素電極、87はデータ線である。本実施例においてはTFTとMOS容量の導電型が違っている。PチャネルのMOSキャパシタのゲート電圧依存性は図3のNチャネルの場合と対称で、 $V_G < V_{th}$ でC0、 $V_G > V_{th}$ で $C_{gs0}$ となる。従ってTFTのOFFする通常の状態では、 $V_G < V_{th}$ であるから、電極88と走査線84の重なった面積がすべて容量の電極として働き、本来のMOB容量C0が付加されることになる。この容量の大きさは、画素電極86によって駆動される液晶の容量の100~20%程度となり、第1や第2の実施例に比べてはるかに大きい。従ってその効

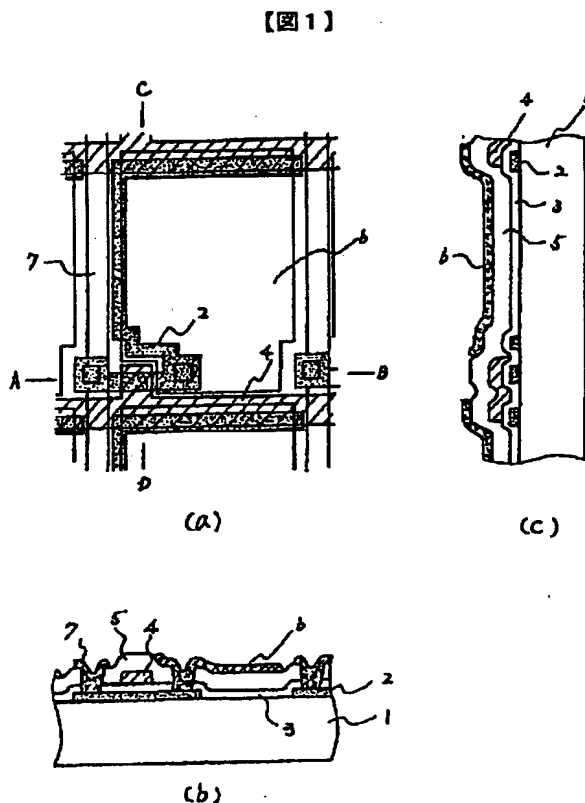
果も大きくなる。また、前段の走査線が選択される期間  
は、MOS容量はOFFして重なり容量 $C_{gs0}$ のみと  
なるにめ、走査線の波形をなまらせることもなく、容量  
を付加したことによって駆動状態は変化しない。

【0017】

【発明の効果】以上述べたように、本発明によるアク  
ティブマトリクスパネルは工程を増やすことなく、画素に  
容量を作り込むことができる。容量を付加することによ  
り、コントラスト比が増大し、フリッカーは減少し、広  
い温度範囲で再現性のよい画面を得ることができる。ま  
た、データ線と画素電極の容量結合によるクロストーク  
や、画面内での絵素のバラツキをおさえる効果もあり、  
総合的に画質は向上する。

【図面の簡単な説明】

【図1】(a)は第1の実施例のアクティブマトリクス  
パネルの構造を示す平面図、(b)、(c)はその断面  
図。



【図2】従来のアクティブマトリクスパネルの構造を示  
す平面図。

【図3】NチャネルのMOS容量のゲート電圧依存性を  
示す図。

【図4】アクティブマトリクスパネルの各部の電位を示  
す図。

【図5】(a)は本発明の第2の実施例のアクティブマ  
トリクスパネルの構造を示す平面図、(b)、(c)は  
その断面図。

【図6】(a)は第3の実施例のアクティブマトリクス  
パネルの構造を示す平面図、(b)、(c)はその断面  
図。

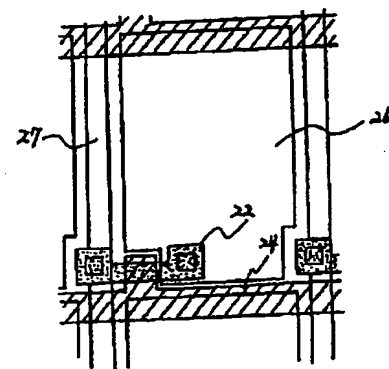
【符号の説明】

2, 62, 82・・・ポリシリコンまたはアモルファス  
シリコン薄膜

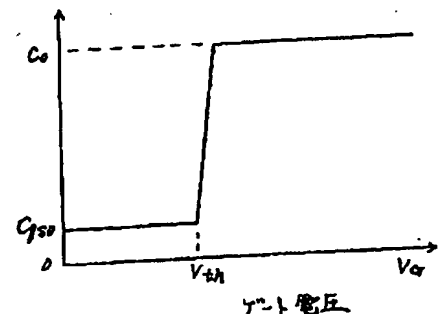
3, 63, 83・・・ゲート絶縁膜

4, 64, 84・・・走査線

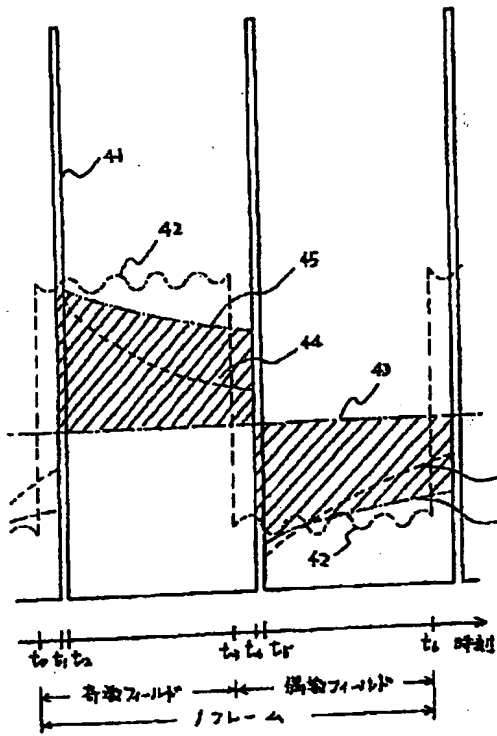
【図2】



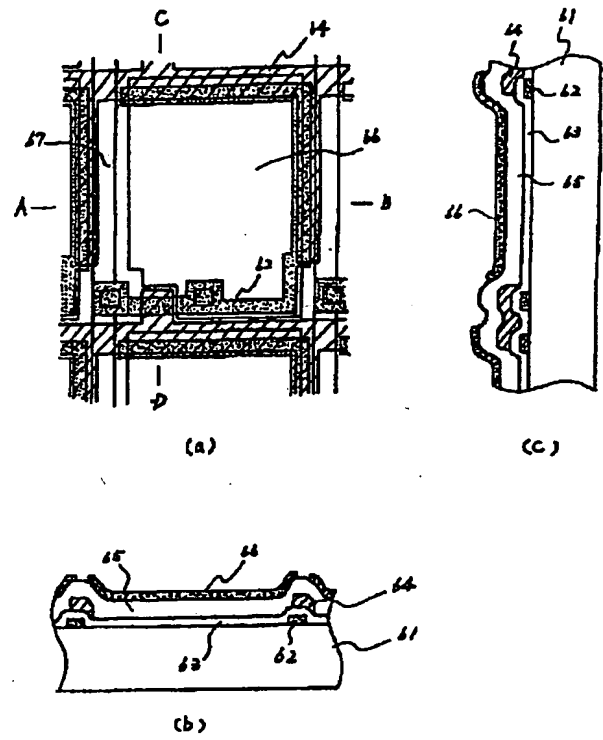
【図3】



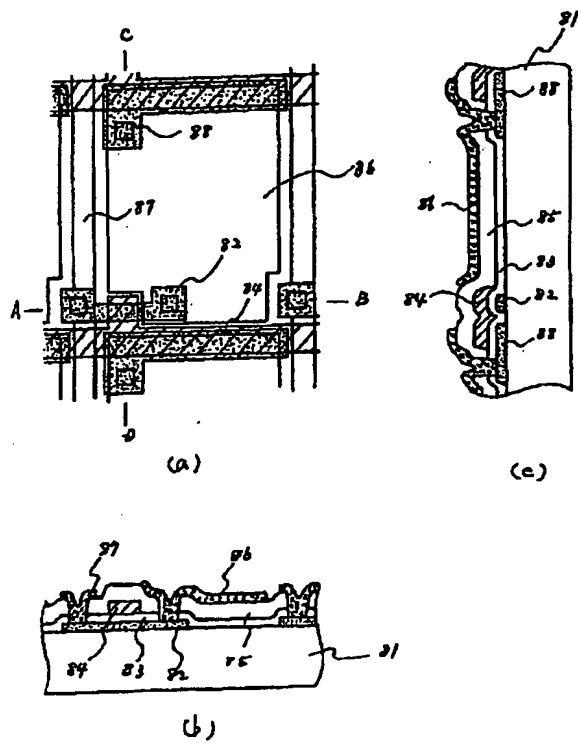
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成8年7月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリクスパネルの製造方法

該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上及び該第1電極上にコンタクトホールを形成して、該ソース領域に電氣的に接続される該データ線、該第2電極と該層間絶縁膜を介して重なりを有し、該ドレイン領域及び該第1電極と電氣的に接続される該画素電極を形成する工程とを有することを特徴とするアクティブマトリクスパネルの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上にマトリクス状に配列されてなる画素電極と、該画素電極に接続されてなる薄膜トランジスタと、保持容量とを有し、データ線に供給されるデータ信号を該薄膜トランジスタを介して該画素電極及び該保持容量に供給するアクティブマトリクスパネルの製造方法において、該基板上にシリコン薄膜からなる該薄膜トランジスタのソース・ドレイン領域と該保持容量の第1電極を形成する工程と、該薄膜トランジスタのゲート絶縁膜と、該保持容量の誘電体膜とを同一材料で形成する工程と、該薄膜トランジスタのゲート電極と、該保持容量の第2電極とを同一材料で形成する工程と、該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上にコンタクトホールを形成し、該ソース領域に電氣的に接続される該データ線を形成し、該第2電極と該層間絶縁膜を介して重なりを有し、該ドレイン領域と電氣的に接続される該画素電極を形成する工程とを有することを特徴とするアクティブマトリクスパネルの製造方法。【請求項2】 基板上にマトリクス状に配列された画素電極と、該画素電極に接続されてなる薄膜トランジスタと、保持容量とを有し、データ線に供給されるデータ信号を該薄膜トランジスタを介して該画素電極及び該保持容量に供給するアクティブマトリクスパネルの製造方法において、該基板上にシリコン薄膜からなる該薄膜トランジスタのソース・ドレイン領域と該保持容量の第1電極を形成する工程と、該薄膜トランジスタのゲート絶縁膜と、該保持容量の誘電体膜とを同一材料で形成する工程と、該薄膜トランジスタのゲート電極と、該保持容量の第2電極とを同一材料で形成する工程と、該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上にコンタクトホールを形成し、該ソース領域に電氣的に接続される該データ線を形成し、該第2電極と該層間絶縁膜を介して重なりを有し、該ドレイン領域と電氣的に接続される該画素電極を形成する工程とを有することを特徴とするアクティブマトリクスパネルの製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクスパネルの製造方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】 本発明は、基板上にマトリクス状に配列された画素電極と、該画素電極に接続されてなる薄膜トランジスタと、保持容量とを有し、データ線に供給されるデータ信号を該薄膜トランジスタを介して該画素電極及び該保持容量に供給するアクティブマトリクスパネルの製造方法において、該基板上にシリコン薄膜からなる該薄膜トランジスタのソース・ドレイン領域と該保持容量の第1電極を形成する工程と、該薄膜トランジスタのゲート絶縁膜と、該保持容量の誘電体膜とを同一材料で形成する工程と、該薄膜トランジスタのゲート電極と、該保持容量の第2電極とを同一材料で形成する工程と、該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上にコンタクトホールを形成し、該ソース領域に電氣的に接続される該データ線を形成し、該第2電極と該層間絶縁膜を介して重なりを有し、該ドレイン領域と電氣的に接続される該画素電極を形成する工程とを有することを特徴とするアクティブマトリクスパネルの製造方法。本発明は、基板上にマトリクス状に配列されてなる画素電極と、該画素電極に接続されてなる薄膜トランジスタと、保持容量とを有し、データ線に供給されるデータ信号を該薄膜トランジスタを介して該画素電極及び該保持容量に供給するアクティブマトリクスパネルの製造方法において、該基板上にシリコン薄膜からなる該薄膜トランジスタのソース・ドレイン領域と該保持容量の第1電極を形成する工程と、該薄膜トランジスタのゲート絶縁膜と、該保持容量の誘電体膜とを同一材料で形成する工程と、該薄膜トランジスタのゲート電極と、該保持容量の第2電極とを同一材料で形成する工程と、該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上にコンタクトホールを形成し、該ソース領域に電氣的に接続される該データ線を形成し、該第2電極と該層間絶縁膜を介して重なりを有し、該ドレイン領域と電氣的に接続される該画素電極を形成する工程とを有することを特徴とするアクティブマトリクスパネルの製造方法。



1 電極を形成する工程と、該薄膜トランジスタのゲート絶縁膜と、該保持容量の誘電体膜とを同一材料で形成する工程と、該薄膜トランジスタのゲート電極と、該保持容量の第2電極とを同一材料で形成する工程と、該ゲート電極及び該第2電極上に層間絶縁膜を形成する工程と、該ソース・ドレイン領域上及び該第1電極上にコンタクトホールを形成して、該ソース領域に電氣的に接続される該データ線を形成し、該第2電極と該層間絶縁膜を介在して重なりを有し、該ドレイン領域及び該第1電極と電氣的に接続される該画素電極を形成する工程とを有することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】〔実施例3〕図6(a)は本発明の第3の実施例におけるアクティブマトリクスパネルの平面図であり、同図(b)及び(c)はそれぞれ同図(a)のA-B及びC-Dにおける断面図である。本実施例は第1実施例および第2実施例とは異なり、TFTと異なる導電型のMOS容量を作り込む。例えば、CMOS型のドライバーを内蔵したアクティブマトリクスパネルなどには有効である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図6を用いて本実施例のアクティブマトリクスパネルの構造を説明する。まず絶縁基板81上にポリシリコンまたはアモルファスシリコン薄膜82及び88をデポジットし図のようにパターンニングする。82はTFTのチャネル部及びソースドレイン電極となり、88はMOS容量を作り込むための電極となる。次にゲート絶縁膜83を形成し、その上にゲート電極を兼ねる走査線84を形成する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【発明の効果】以上述べたように、本発明によるアクティブマトリクスパネルの製造方法は工程を増やすことなく、画素に容量を作り込むことができる。容量を付加することにより、コントラスト比が増大し、フリッカーは減少し、広い温度範囲で再現性のよい画面を得ることができる。また、データ線と画素電極の容量結合によるクロストークや、画面内での絵素のバラツキをおさえる効果もあり、総合的に画質は向上する。